

PCT

WELTORGANISATION FÜR GEISTIGES EIGENTUM
Internationales Büro



INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

(51) Internationale Patentklassifikation ⁶ : H01L 27/12	A2	(11) Internationale Veröffentlichungsnummer: WO 99/33114 (43) Internationales Veröffentlichungsdatum: 1. Juli 1999 (01.07.99)
---	----	---

(21) Internationales Aktenzeichen: PCT/DE98/03794
(22) Internationales Anmeldedatum: 18. Dezember 1998
(18.12.98)

(30) Prioritätsdaten:
197 58 349.0 22. Dezember 1997 (22.12.97) DE
198 47 440.7 8. Oktober 1998 (08.10.98) DE

(71) Anmelder (für alle Bestimmungsstaaten ausser US): INSTI-
TUT FÜR HALBLEITERPHYSIK FRANKFURT (ODER)
GMBH [DE/DE]; Walter-Korsing-Strasse 2, D-15230
Frankfurt (DE).

(72) Erfinder; und
(75) Erfinder/Anmelder (nur für US): ERZGRÄBER, Heide, B.
[DE/DE]; Oderpromenade 4, D-15230 Frankfurt (DE).
BOLZE, Klaus-Detlef [DE/DE]; Birkenallee 12, D-15232
Frankfurt (DE). GRABOLLA, Thomas [DE/DE]; Berend-
strasse 25, D-15232 Frankfurt (DE). WOLFF, André
[DE/DE]; Fischerstrasse 31c, D-15230 Frankfurt (DE).

(74) Anwalt: HEITSCH, Wolfgang; Göhlsdorfer Strasse 25g,
D-14778 Jeserig (DE).

(81) Bestimmungsstaaten: JP, US, europäisches Patent (AT, BE,
CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC,
NL, PT, SE).

Veröffentlicht

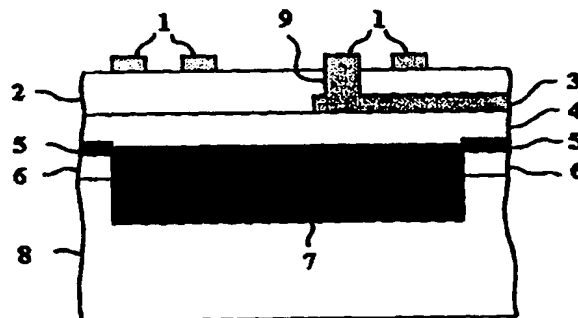
Ohne internationalen Recherchenbericht und erneut zu
veröffentlichen nach Erhalt des Berichts.

(54) Title: SEMICONDUCTOR SUBSTRATE WITH EMBEDDED ISOLATING LAYER FOR INTEGRATED CIRCUITS

(54) Bezeichnung: HALBLEITER SUBSTRAT MIT VERSENKTER ISOLATIONSSCHICHT FÜR INTEGRIERTE SCHALTUNG

(57) Abstract

The invention relates to an integrated circuit with reduced parasitic capacitive influences and a method for producing same. The aim of the invention is to provide an integrated circuit with reduced parasitic capacitive influences and a method for producing same, in which the parasitic capacitive influences on individual elements of the integrated circuit are reduced. A further aim of the invention is for the technological process for producing the contact and printed circuit system of modern CMOS technology not to be adversely influenced during production and, in particular, to ensure that no additional planarising steps are required. To this end the invention provides for a partial isolating layer which is at least 5 μm thick, is locally restricted to the area of the elements of the integrated circuit and is embedded in the semiconductor substrate. Those losses caused by parasitic influences which are affected by the specific electric resistance of the silicon substrate used are reduced markedly so that, for example, the quality of an integrated inductor can be raised by approximately 40 %, depending on the chosen thickness of the embedded isolating layer, and in relation to planar inductors based on conventional CMOS.



(57) Zusammenfassung

Die Erfindung bezieht sich auf eine integrierte Schaltung mit verringerten parasitären kapazitiven Einflüssen und ein Verfahren zu ihrer Herstellung. Aufgabe der Erfindung ist es, eine integrierte Schaltung mit verringerten parasitären kapazitiven Einflüssen und ein Verfahren zu ihrer Herstellung vorzuschlagen, bei denen die parasitären kapazitiven Einflüsse auf einzelne Elemente der integrierten Schaltung verringert sind. Weiterhin soll bei der Herstellung der technologische Ablauf zur Realisierung des Kontakt- und Leitbahnsystems moderner CMOS-Technologien nicht nachteilig beeinflusst sein und insbesondere keine zusätzlichen Planarisierungsschritte erforderlich werden. Diese Aufgabenstellung wird durch eine partielle, mindestens 5 μm dicke Isolierschicht, die auf den Bereich der Elemente der integrierten Schaltung lokal begrenzt und im Halbleitersubstrat versenkt ist, gelöst. Die durch parasitäre Einflüsse bedingten Verluste, die vom spezifischen elektrischen Widerstand des verwendeten Siliziumsubstrates abhängig sind, werden stark verringert, so daß sich z.B. die Güte einer integrierten Induktivität in Abhängigkeit von der gewählten Dicke der vergrabenen Isolierschicht um ca. 40 % und darüber hinaus gegenüber planaren Induktivitäten auf konventioneller CMOS-Basis erhöhen läßt.

BEST AVAILABLE COPY

LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidshan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland	ML	Mali	TR	Türkei
BG	Bulgarien	HU	Ungarn	MN	Mongolei	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MR	Mauretanien	UA	Ukraine
BR	Brasilien	IL	Israel	MW	Malawi	UG	Uganda
BY	Belarus	IS	Island	MX	Mexiko	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	NE	Niger	UZ	Usbekistan
CF	Zentralafrikanische Republik	JP	Japan	NL	Niederlande	VN	Vietnam
CG	Kongo	KE	Kenia	NO	Norwegen	YU	Jugoslawien
CH	Schweiz	KG	Kirgisistan	NZ	Neuseeland	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	PL	Polen		
CM	Kamerun	KR	Republik Korea	PT	Portugal		
CN	China	KZ	Kasachstan	RO	Rumänien		
CU	Kuba	LC	St. Lucia	RU	Russische Föderation		
CZ	Tschechische Republik	LI	Liechtenstein	SD	Sudan		
DE	Deutschland	LK	Sri Lanka	SE	Schweden		
DK	Dänemark	LR	Liberia	SG	Singapur		
EE	Estland						

HALBLEITER SUBSTRAT MIT VERSENKTER ISOLATIONSSCHICHT FÜR INTEGRIERTE SCHALTUNG

5

Die Erfindung bezieht sich auf eine integrierte Schaltung mit verringerten parasitären kapazitiven Einflüssen und ein Verfahren zu ihrer Herstellung.

Die Verringerung parasitärer kapazitiver Einflüsse spielt insbesondere in den modernen CMOS-Technologien eine immer größer werdende Rolle. Werden integrierte Schaltungen mit Bipolar-Technologien realisiert, können durch Verwendung hochohmiger oder semiisolierender Substrate die substratbedingten kapazitiven und ohmschen Verluste von Induktivitäten oder anderen passiven Schaltungselementen gering gehalten werden. Es ist jedoch davon auszugehen, daß CMOS-Technologien wegen geringerer Kosten, eines geringen Leistungsverbrauchs und geringerer Abmessungen bevorzugt werden.

Die Integration passiver Elemente wie z.B. von Induktivitäten ist eine dringende Notwendigkeit insbesondere für die Realisierung monolithischer RF Transceiver Schaltkreise auf Silizium-Substraten. Im GHz-Bereich wird zwischen den Blöcken eine Impedanz-Anpassung erforderlich, für die diese passiven Elemente benötigt werden. Erfüllen CMOS-Technologien die Anforderungen zur Herstellung von RF Transceivern für zellulare Systeme oder LAN, bedeutet dies jedoch, daß aufgrund der zumeist verwendeten niederohmigen Si-Substrate (typisch 1 - 10 Ωcm) die gewünschten hohen Güten der Induktivitäten nicht a priori erreicht werden können. Die Optimierung dieser passiven Komponenten bedeutet vor allem die Maximierung des Gütefaktors (Q) durch eine Minimierung der Widerstandsverluste

und der kapazitiven Parasitics. Die substratbedingten Verluste können reduziert werden, indem die Spiralbahn der Induktivität möglichst weit vom Silizium-Substrat entfernt wird - z. B. indem bei einem Mehrebenen-Leitbahnsystem die oberste(n) Ebene(n) für die Spirale verwendet wird, so daß sich aufgrund mehrerer Zwischenebenen-Isolierschichten in der

5 Summe eine ausreichend dicke Isolation zwischen Spirale und Substrat ergibt. Da CMOS-Technologien mit Abmessungen $\leq 0.5 \mu\text{m}$ jedoch i.a. relativ dünne Isolierschichten verwenden, können bei niederohmigen Silizium-Substraten die Verluste ohne zusätzliche Maßnahmen nicht ausreichend gering gehalten werden. Zur Reduzierung der substratbedingten Verluste wurden bisher solche Varianten wie Verwendung von

10 hochohmigen Silizium-Wafern, Verwendung von SOI-Substraten (auf Basis hochohmiger Silizium-Wafer), Verwendung von SOS-Substraten, Entfernung von Silizium unter der Spirale (Luftbrücke), Verwendung von Dielektrika mit geringerer relativer Dielektrizitätskonstante als von Siliziumdioxid, z.B. Polymere, sowie Realisierung der Metallspirale in einer mehrere μm dicken Metallschicht über einer sehr dicken Isolierschicht,

15 wobei beide Schichten zusätzlich oberhalb des für die Schaltungen benötigten CMOS-Aufbaus zu realisieren sind, vorgeschlagen. Diese Varianten haben den Nachteil, daß die etablierten CMOS-Technologien modifiziert werden müssen bzw. die Halbleitersubstrate teurer sind. Auch sind diese Varianten nicht generell für alle weiteren passiven Elemente einer integrierten Schaltung, wie insbesondere Widerstände, Kapazitäten, Leitbahnen und

20 Bondinseln, die ebenfalls mit parasitären kapazitiven Einflüssen behaftet sind, anwendbar.

Aufgabe der Erfindung ist es, eine integrierte Schaltung mit verringerten parasitären kapazitiven Einflüssen und ein Verfahren zu ihrer Herstellung vorzuschlagen, bei denen die parasitären kapazitiven Einflüsse auf einzelne Elemente der integrierten Schaltung verringert

sind. Weiterhin soll bei der Herstellung der technologische Ablauf zur Realisierung des Kontakt- und Leitbahnsystems moderner CMOS-Technologien nicht nachteilig beeinflusst sein und insbesondere keine zusätzlichen Planarisierungsschritte erforderlich werden.

- 5 Diese Aufgabenstellung wird durch eine partielle, mindestens 5 μm dicke Isolierschicht, die auf den Bereich der Elemente der integrierten Schaltung lokal begrenzt und im Halbleitersubstrat versenkt ist, gelöst.

Die durch parasitäre Einflüsse bedingten Verluste, die vom spezifischen elektrischen Widerstand des verwendeten Siliziumsubstrates abhängig sind, werden stark verringert, so
10 daß sich z. B. die Güte einer integrierten Induktivität in Abhängigkeit von der gewählten Dicke der vergrabenen Isolierschicht um ca. 40 % und darüber hinaus gegenüber planaren Induktivitäten auf konventioneller CMOS-Basis erhöhen läßt.

Der wesentliche Vorteil dieser hier vorgeschlagenen lokalen Isolationsvariante besteht in der Realisierung des nur auf den Bereich des späteren Elements der integrierten Schaltung
15 begrenzten dicken, versenkten Oxids. Hierdurch werden im nachfolgenden technologischen Prozeß gravierende Unterschiede in den Strukturhöhen - und damit aufwendige Planarisierungsmaßnahmen - vermieden. Der Prozeß zur Herstellung stark skaliert CMOS- oder BiCMOS-Strukturen wird somit nicht nachteilig durch die Notwendigkeit, für die Realisierung von z. B. integrierten Induktivitäten mit hoher Güte zusätzliche dicke
20 Isolationsschichten zwischen Spirale und Substrat einzufügen, beeinflusst. Die Herstellung einer erfindungsgemäßen integrierten Schaltung erfolgt durch die Verfahrensschritte

- Maskierung der Oberfläche des Silizium-Wafers,
- Ausbildung von Gräben und Stegen durch anisotrope Ätzung,

- wahlweise Durchführung einer Opferoxidation, d. h. einer teilweisen Anoxidation der Stege mit nachfolgender Oxidentfernung zur Optimierung des Verhältnisses zwischen den Breiten der Stege und Gräben,
- vollständige Oxidation der Stege zu Siliziumoxid und zumindest oberflächennahes
5 Auffüllen der Gräben durch Abscheidung von Siliziumoxid,
- CMOS-Prozeß oder CMOS-kompatibler Siliziumprozeß mit Herstellung der einzelnen Elemente der integrierten Schaltung unter Nutzung der im jeweiligen Prozeß vorhandenen Teilschritte zur Erzeugung der Elemente der integrierten Schaltung, wobei die Schaltungselemente mit verringerten parasitären Einflüssen oberhalb der Region des
10 vergrabenen dicken Oxids erzeugt werden.

Alternativ läßt sich eine erfindungsgemäße integrierte Schaltung auch durch die Verfahrensschritte

- Maskierung der Oberfläche eines p-Silizium-Wafers,
- 15 - Umwandlung der nicht maskierten Bereiche des p-Siliziums in poröses Silizium,
- Oxidation der porösen Siliziumschicht in Siliziumoxid,
- CMOS-Prozeß oder CMOS-kompatibler Siliziumprozeß mit Herstellung der einzelnen Elemente der integrierten Schaltung unter Nutzung der im jeweiligen Prozeß vorhandenen Teilschritte zur Erzeugung der Elemente der integrierten Schaltung, wobei
20 speziell die Schaltungselemente mit verringerten kapazitiven Einflüssen oberhalb der Region des vergrabenen dicken Oxids erzeugt werden,
herstellen.

Die Merkmale der Erfindung gehen außer aus den Ansprüchen auch aus der Beschreibung und den Zeichnungen hervor, wobei die einzelnen Merkmale jeweils für sich allein oder zu mehreren in Form von Unterkombinationen schutzfähige Ausführungen darstellen, für die hier Schutz beansprucht wird. Ausführungsbeispiele der Erfindung werden im folgenden näher
5 erläutert.

Die Figuren zeigen:

Fig. 1 schematischer Aufbau einer Induktivität in Draufsicht

10 Fig. 2 schematischer Schnitt einer Induktivität

Beispiel 1:

Fig. 1 zeigt den schematischen Aufbau einer Induktivität als Teil einer erfindungsgemäßen integrierten Schaltung in Draufsicht, in Fig. 2 wird eine Schnittdarstellung der Induktivität
15 gezeigt. Die integrierte Induktivität besteht aus einer oberen Metallebene 1 zur Realisierung einer Spirale, einer Isolationsschicht 2, einer unteren Metallebene 3 zur Kontaktherstellung des inneren Anschlusses 10, einer Isolationsschicht 4, einer Feldoxidschicht 5, einer Kanalstopperschicht 6, einer vergrabenen, dicken lokalen Isolationsschicht 7 sowie dem Halbleitersubstrat 8. Die Feldoxidschicht 5 sowie die Kanalstopperschicht 6 befinden sich nur
20 außerhalb des Gebiets der integrierten Induktivität. Die vergrabene, dicke lokale Isolationsschicht 7 ist nur im Bereich der Induktivität unterhalb der Metallschichten 1, 3 angeordnet.

Zur Herstellung der Induktivität werden in einen Silizium-Wafer mit Hilfe einer Ätzmaske im Bereich der im nachfolgenden Prozeß zu realisierenden integrierten Induktivität mit einem

anisotropen Ätzverfahren Gräben von ca. 10 μm Tiefe derart geätzt, daß im Wechsel Gräben und Stege entstehen. Die Breite der Stege und Gräben wird so gewählt, daß bei einer nachfolgenden vollständigen Umwandlung der Stege in Siliziumdioxid mittels eines thermischen Oxidationsprozesses die Gräben bis auf eine Restbreite von ca. 100 nm bis 5 300 nm geschlossen werden. Aufgrund des Volumenzuwachses ergeben z. B. Stege von 0,8 μm Breite und Gräben von 1,2 μm Breite nach vollständiger Oxidation der Stege Restgräben von ca. 150 nm bis 200 nm Breite. Gegebenenfalls kann eine Feinoptimierung des Verhältnisses der Breiten der Stege und der Gräben durch eine vorgelagerte Opferoxidation, d. h. eine teilweise Anoxidation der Stege mit nachfolgender Oxidentfernung durchgeführt 10 werden. Die nach vollständiger Oxidation verbleibenden Restgräben werden mittels einer abschließenden Abscheidung von Siliziumdioxid, z. B. durch CVD-Prozeß, zumindest oberflächennah vollständig geschlossen. Durch diesen Ablauf entsteht eine versenkte Isolationsschicht 7, deren Dicke durch die Tiefe der geätzten Gräben definiert ist. Nach Entfernung der CVD-Oxidschicht von der Oberfläche und der Ätzmaske für das Grabenätzen 15 schließt sich der jeweils verwendete CMOS-Prozeß an. Alternativ kann die Ätzmaske bereits vor der Oxidation der Stege ganz oder teilweise entfernt werden. Die integrierte Induktivität wird unter Verwendung des in diesem CMOS-Prozeß vorhandenen Kontakt- und Leitbahnsystems oberhalb der vergrabenen, dicken Isolationsschicht 7 realisiert.

20 Beispiel 2:

In Abwandlung des Verfahrens nach dem ersten Ausführungsbeispiel wird eine integrierte Induktivität durch folgende Verfahrensschritte hergestellt: Ein p-Silizium-Wafer wird auf der Oberfläche maskiert, und es erfolgt anschließend eine Umwandlung der nicht maskierten Bereiche des p-Siliziums in poröses Silizium bis zu einer Dicke der porösen Siliziumschicht

zwischen 6 μm und 20 μm mittels anodischer Reaktion in Flußsäure. Die gewünschte Dicke der porösen Siliziumschicht wird über das Stromstärke-Zeit-Produkt eingestellt. Die Stromdichte liegt dabei zwischen 10 $\text{mA} \cdot \text{cm}^{-2}$ und 100 $\text{mA} \cdot \text{cm}^{-2}$, vorzugsweise zwischen 40 $\text{mA} \cdot \text{cm}^{-2}$ und 50 $\text{mA} \cdot \text{cm}^{-2}$. Die Porösität wird maßgeblich durch die Konzentration der Flußsäure bestimmt. In diesem Ausführungsbeispiel liegt die Konzentration der Flußsäure, bezogen auf die Masseanteile, zwischen 40 % und 50 %. Die poröse Siliziumschicht wird nachfolgend oxidiert. In Abhängigkeit von den Dickenverhältnissen zwischen der zu oxidierenden porösen Siliziumschicht und der anschließend herzustellenden Feldoxidschicht 5 liegt es im Bereich der Erfindung, diese Oxidation mit der Realisierung der Feldoxidationsschicht 5 zu kombinieren. Durch geeignete Wahl der Anodisationsbedingungen ist eine optimale Porösität des Silizium von ca. 56 % anzustreben, damit die bei der Umwandlung des Siliziums in Siliziumdioxid auftretende Volumenänderung berücksichtigt wird, um die resultierenden Verspannungen zu minimieren. Die weiteren Verfahrensschritte bis zur fertigen Herstellung der integrierten Induktivität erfolgen analog zum ersten Ausführungsbeispiel.

In der vorliegenden Erfindung wurde anhand konkreter Ausführungsbeispiele eine integrierte Schaltung mit verringerten parasitären kapazitiven Einflüssen und ein Verfahren zu ihrer Herstellung erläutert. Es sei aber vermerkt, daß die vorliegende Erfindung nicht auf die Einzelheiten der Beschreibung in den Ausführungsbeispielen eingeschränkt ist, da im Rahmen der Patentansprüche Änderungen und Abwandlungen beansprucht werden. Neben der Anwendung zur Herstellung einer integrierten Induktivität eignet sich die Verwendung einer Isolierschicht, die auf den Bereich der Elemente der integrierten Schaltung lokal begrenzt und im Halbleitersubstrat versenkt ist, nicht nur für integrierte Induktivitäten, sondern auch für

andere Elemente der integrierten Schaltung, insbesondere weitere passive Bauelemente wie Widerstände und Kapazitäten, aber auch für Leiterbahnen und Bondinseln.

Patentansprüche

1. Integrierte Schaltung mit verringerten parasitären kapazitiven Einflüssen,
gekennzeichnet durch eine partielle, mindestens 5 µm dicke Isolationsschicht (7), die
5 auf spezielle Bereiche der integrierten Schaltung lokal begrenzt und im
Halbleitersubstrat (8) versenkt ist.
2. Integrierte Schaltung nach Anspruch 1, **gekennzeichnet durch** eine partielle,
mindestens 5 µm dicke Isolationsschicht (7), die auf den Bereich einer oder mehrerer
10 integrierter Induktivitäten, einer oder mehrerer integrierter Widerstände, einer oder
mehrerer integrierter Kapazitäten, einer oder mehrerer integrierter Bondinseln und/oder
einer oder mehrerer Leiterbahnen lokal begrenzt und im Halbleitersubstrat (8) versenkt
ist.
- 15 3. Integrierte Schaltung nach Anspruch 2, **dadurch gekennzeichnet**, daß die integrierte
Induktivität aus zumindest einer oberen Metallebene (1) zur Realisierung einer Spirale,
einer Isolationsschicht (2), einer unteren Metallebene (3) zur Kontaktherstellung des
inneren Anschlusses (10), einer Isolationsschicht (4), einer Feldoxidschicht (5), einer
Kanalstopperschicht (6), einer vergrabenen, mindestens 5 µm dicken, lokalen
20 Isolationsschicht (7) sowie dem Halbleitersubstrat (8) besteht.
4. Verfahren zur Herstellung einer integrierten Schaltung mit lokaler vergrabener Isolation,
gekennzeichnet durch die Verfahrensschritte
- Maskierung der Oberfläche eines Silizium-Wafers,

- Ausbildung von Gräben und Stegen durch anisotrope Ätzung,
- wahlweise Durchführung einer Opferoxidation, d. h. einer teilweisen Anoxidation der Stege mit nachfolgender Oxidentfernung zur Optimierung des Verhältnisses zwischen den Breiten der Stege und Gräben,
- 5 - vollständige Oxidation der Stege zu Siliziumoxid und zumindest oberflächennahes Auffüllen der Gräben durch Abscheidung von Siliziumoxid,
- CMOS-Prozeß oder CMOS-kompatibler Siliziumprozeß mit Herstellung der integrierten Schaltung unter Nutzung der im jeweiligen Prozeß vorhandenen Teilschritte zur Erzeugung der Elemente der integrierten Schaltung, wobei die Schaltungselemente
- 10 mit verringerten parasitären Einflüssen oberhalb der Region des vergrabenen dicken Oxids erzeugt werden.

5. Verfahren nach Anspruch 4, **gekennzeichnet durch** die Verfahrensschritte

- Maskierung der Oberfläche eines Silizium-Wafers,
- 15 - Ausbildung von Gräben und Stegen durch anisotrope Ätzung,
- wahlweise Durchführung einer Opferoxidation, d. h. einer teilweisen Anoxidation der Stege mit nachfolgender Oxidentfernung zur Optimierung des Verhältnisses zwischen den Breiten der Stege und Gräben,
- vollständige Oxidation der Stege zu Siliziumoxid und zumindest oberflächennahes
- 20 Auffüllen der Gräben durch Abscheidung von Siliziumoxid,
- CMOS-Prozeß oder CMOS-kompatibler Siliziumprozeß mit Herstellung einer Induktivität unter Nutzung des im jeweiligen Prozeß vorhandenen Kontakt- und Leitbahnsystems oberhalb der Region des vergrabenen dicken Oxids.

6. Verfahren nach Anspruch 4 oder 5, **dadurch gekennzeichnet**, daß Gräben von mindestens 5 μm Tiefe derart geätzt werden, daß die Breite der Stege und Gräben so gewählt wird, daß bei einer nachfolgenden vollständigen Umwandlung der Stege in Siliziumdioxid mittels Oxidation die Gräben bis auf eine Restbreite von ca. 100 nm bis 300 nm geschlossen werden.
7. Verfahren nach einem oder mehreren der Ansprüche 4 bis 6, **dadurch gekennzeichnet**, daß Gräben von mindestens 5 μm Tiefe derart geätzt werden, daß Stege von ca. 0,8 μm Breite und Gräben von ca 1,2 μm Breite entstehen.
8. Verfahren nach einem oder mehreren der Ansprüche 4 bis 6, **dadurch gekennzeichnet**, daß Gräben von mindestens 5 μm Tiefe derart geätzt werden, daß Stege von ca. 0,8 μm Breite und Gräben von ca 1,2 μm Breite mittels eines zusätzlichen Opferoxidationsschrittes nachträglich erzeugt werden.
9. Verfahren zur Herstellung einer integrierten Schaltung, **gekennzeichnet durch die** Verfahrensschritte
- Maskierung der Oberfläche eines p-Silizium-Wafers,
 - Umwandlung der nicht maskierten Bereiche des p-Siliziums in poröses Silizium,
 - Oxidation der porösen Siliziumschicht in Siliziumoxid,
 - CMOS-Prozeß oder CMOS-kompatibler Siliziumprozeß mit Herstellung der Elemente der integrierten Schaltung unter Nutzung der im jeweiligen Prozeß vorhandenen Teilschritte zur Erzeugung der Elemente der integrierten Schaltung, wobei speziell die

Schaltungselemente mit verringerten parasitären Einflüssen oberhalb der Region des vergrabenen dicken Oxids erzeugt werden.

10. Verfahren nach Anspruch 9, **gekennzeichnet durch** die Verfahrensschritte
- 5 - Maskierung der Oberfläche eines p-Silizium-Wafers,
- Umwandlung der nicht maskierten Bereiche des p-Siliziums in poröses Silizium,
- Oxidation der porösen Siliziumschicht in Siliziumoxid,
- CMOS-Prozeß oder CMOS-kompatibler Siliziumprozeß mit Herstellung einer
- Induktivität unter Nutzung des im jeweiligen Prozeß vorhandenen Kontakt- und
- 10 Leitbahnsystems oberhalb der Region des vergrabenen dicken Oxids.
11. Verfahren nach Anspruch 9 oder 10, **dadurch gekennzeichnet**, daß die Umwandlung
- der nicht maskierten Bereiche des p-Siliziums in poröses Silizium bis zu einer Dicke der
- porösen Siliziumschicht zwischen 5 µm und 20 µm erfolgt.
- 15
12. Verfahren nach einem oder mehreren der Ansprüche 9 bis 11, **dadurch**
- gekennzeichnet**, daß die Umwandlung mittels anodischer Reaktion in Flußsäure erfolgt.
13. Verfahren nach einem oder mehreren der Ansprüche 9 bis 12, **dadurch**
- 20 **gekennzeichnet**, daß die gewünschte Dicke der porösen Siliziumschicht über das
- Stomstärke-Zeit-Produkt eingestellt wird.

14. Verfahren nach einem oder mehreren der Ansprüche 9 bis 13, **dadurch gekennzeichnet**, daß die Stromdichte bei der Umwandlung zwischen $10 \text{ mA} \cdot \text{cm}^{-2}$ und $100 \text{ mA} \cdot \text{cm}^{-2}$, vorzugsweise zwischen $40 \text{ mA} \cdot \text{cm}^{-2}$ und $50 \text{ mA} \cdot \text{cm}^{-2}$ liegt.
- 5 15. Verfahren nach einem oder mehreren der Ansprüche 9 bis 14, **dadurch gekennzeichnet**, daß die Konzentration der Flußsäure bezogen auf die Masseanteile zwischen 40 % und 50 % liegt.
- 10 16. Verfahren nach einem oder mehreren der Ansprüche 9 bis 15, **dadurch gekennzeichnet**, daß nach der Umwandlung die Porösität des Silizium ca. 56 % beträgt.

THIS PAGE BLANK (USPTO)

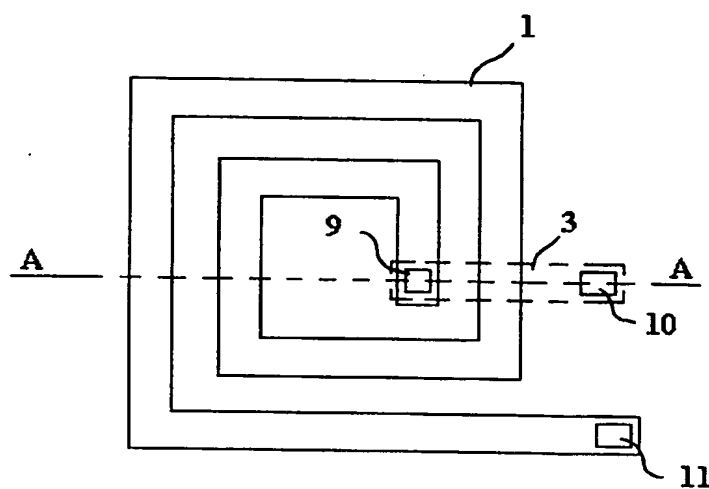


Fig. 1

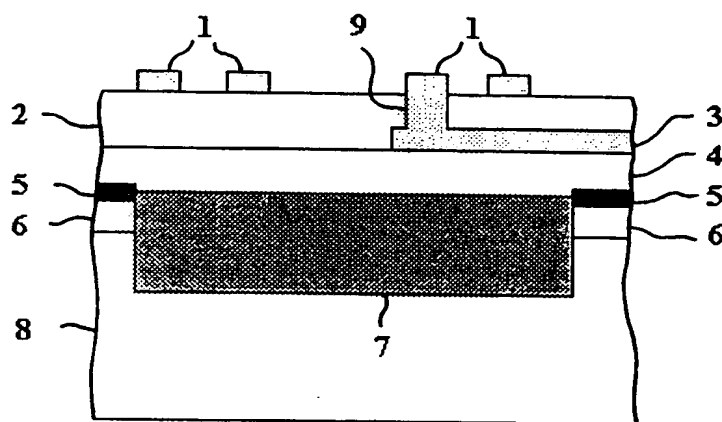


Fig. 2

THIS PAGE BLANK (USPTO)

INTERNATIONAL SEARCH REPORT

Interr. .nal Application No

PCT/DE 98/03794

A. CLASSIFICATION OF SUBJECT MATTER

IPC 6 H01L27/12 H01L21/84 H01L21/02

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 6 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 4 910 165 A (LEE STEVEN S ET AL) 20 March 1990	1,2
Y		9-16
A	see column 3, line 41 - column 6, line 7; figures 1-8	4,5
Y	NAM C -M ET AL: "HIGH-PERFORMANCE PLANAR INDUCTOR ON THICK OXIDIZED POROUS SILICON (OPS) SUBSTRATE" IEEE MICROWAVE AND GUIDED WAVE LETTERS, vol. 7, no. 8, 1 August 1997, pages 236-238, XP000658631	9-16
A	see page 236, column 1, line 19 - page 237, column 1, line 4; figure 1	1-3
	-/--	



Further documents are listed in the continuation of box C.



Patent family members are listed in annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

10 June 1999

Date of mailing of the international search report

21/06/1999

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Albrecht, C

INTERNATIONAL SEARCH REPORT

Interr. Application No

PCT/DE 98/03794

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 548 150 A (OMURA ICHIRO ET AL) 20 August 1996 see column 25, line 39 - column 27, line 10; figures 76-81 ---	1,2,9,10
P,X P,A	US 5 736 749 A (XIE YA-HONG) 7 April 1998 see column 3, line 34 - column 5, line 15; figures 1-3 ---	1,2 4,5,9-16
A	PATENT ABSTRACTS OF JAPAN vol. 097, no. 007, 31 July 1997 & JP 09 082968 A (TOSHIBA CORP), 28 March 1997 see abstract ---	4,9,10
A	BARLA K ET AL: "SOI TECHNOLOGY USING BURIED LAYERS OF OXIDIZED POROUS SI" IEEE CIRCUITS AND DEVICES MAGAZINE, 1 November 1987, pages 11-15, XP000615747 see page 11, column 1, line 1 - page 13, column 1, line 28; figures 1-3 -----	1,4,5, 9-16

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE 98/03794

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 4910165 A	20-03-1990	JP 2137353 A	25-05-1990
		JP 2863813 B	03-03-1999
US 5548150 A	20-08-1996	JP 6268223 A	22-09-1994
		JP 7086580 A	31-03-1995
		JP 6318696 A	15-11-1994
		JP 7131032 A	19-05-1995
US 5736749 A	07-04-1998	JP 10154797 A	09-06-1998

THIS PAGE BLANK (USPTO)

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 98/03794

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 6 H01L27/12 H01L21/84 H01L21/02

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 6 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 4 910 165 A (LEE STEVEN S ET AL) 20. März 1990	1,2
Y		9-16
A	siehe Spalte 3, Zeile 41 - Spalte 6, Zeile 7; Abbildungen 1-8	4,5
Y	NAM C -M ET AL: "HIGH-PERFORMANCE PLANAR INDUCTOR ON THICK OXIDIZED POROUS SILICON (OPS) SUBSTRATE" IEEE MICROWAVE AND GUIDED WAVE LETTERS, Bd. 7, Nr. 8, 1. August 1997, Seiten 236-238, XP000658631	9-16
A	siehe Seite 236, Spalte 1, Zeile 19 - Seite 237, Spalte 1, Zeile 4; Abbildung 1	1-3
	--- -/--	

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderscher Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderscher Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

10. Juni 1999

Absenddatum des internationalen Recherchenberichts

21/06/1999

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Albrecht, C

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 5 548 150 A (OMURA ICHIRO ET AL) 20. August 1996 siehe Spalte 25, Zeile 39 - Spalte 27, Zeile 10; Abbildungen 76-81 ----	1,2,9,10
P,X P,A	US 5 736 749 A (XIE YA-HONG) 7. April 1998 siehe Spalte 3, Zeile 34 - Spalte 5, Zeile 15; Abbildungen 1-3 ----	1,2 4,5,9-16
A	PATENT ABSTRACTS OF JAPAN vol. 097, no. 007, 31. Juli 1997 & JP 09 082968 A (TOSHIBA CORP), 28. März 1997 siehe Zusammenfassung ----	4,9,10
A	BARLA K ET AL: "SOI TECHNOLOGY USING BURIED LAYERS OF OXIDIZED POROUS SI" IEEE CIRCUITS AND DEVICES MAGAZINE, 1. November 1987, Seiten 11-15, XP000615747 siehe Seite 11, Spalte 1, Zeile 1 - Seite 13, Spalte 1, Zeile 28; Abbildungen 1-3 -----	1,4,5, 9-16

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Intern. Aktenzeichen

PCT/DE 98/03794

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 4910165 A	20-03-1990	JP 2137353 A	25-05-1990
		JP 2863813 B	03-03-1999
US 5548150 A	20-08-1996	JP 6268223 A	22-09-1994
		JP 7086580 A	31-03-1995
		JP 6318696 A	15-11-1994
		JP 7131032 A	19-05-1995
US 5736749 A	07-04-1998	JP 10154797 A	09-06-1998

THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)